

JAPAN PATENT OFFICE
PATENT LAID-OPEN OFFICIAL GAZETTE

JC930 U.S. PRO
09/708450
11/09/00
11/09/00

Laid-Open No.

H.11-145410

Laid-Open

H.11 (1999) May 28

Application No.: H.9-312410

Filed: H.9 (1997) Nov. 13

Inventors: Keitarou Imai
8 Shinsugita-cho, Isogo-ku, Yokohama-
shi, Kanagawa
Toshiba Corporation Yokohama Works
Tsuneyoshi Arikado
8 Shinsugita-cho, Isogo-ku, Yokohama-
shi, Kanagawa
Toshiba Corporation Yokohama Works
Kyoichi Suguro
8 Shinsugita-cho, Isogo-ku, Yokohama-
shi, Kanagawa
Toshiba Corporation Yokohama Works

Applicant: 000003078
Toshiba Coporation
72 Horikawa-cho, Saiwai-ku, Kawasaki-
shi, Kanagawa

Attorney, Agent: Takehiko Suzue and six others

1. TITLE OF THE INVENTION

Semiconductor Device and a Method of Fabrication Therefor

2. Abstract

[Problem to be Solved]

To provide a capacitor capable of preventing the degradation of capacitor insulator film quality due to hydrogen even when an insulator composed of a metal oxide is used as a capacitor insulator.

[Solution]

In a capacitor comprising a lower capacitor electrode 116 made of Ru; a capacitor insulator 117, made of (Ba, Sr) TiO_3 , that is set up on the lower capacitor electrode 116; and a top capacitor electrode 118, made of Ru, that is set up on the capacitor insulator 117, a TiN_x film 119 as a hydrogen penetration-preventing film is provided on the top capacitor electrode 118.

3. WHAT IS CLAIMED

1. A semiconductor device comprising
a semiconductor substrate; and
a capacitor consisting of the following components that are formed on the semiconductor substrate: a first capacitor electrode, a capacitor insulator composed of a metal oxide that is provided on the first capacitor electrode, a second capacitor electrode that is provided on the capacitor insulator, and a hydrogen penetration-preventing film that is provided on the second capacitor electrode.
2. The semiconductor device of Claim 1, wherein said hydrogen penetration-preventing film is an insulator composed of an insulator material whose

oxygen affinity is greater than or equal to that of said metal oxide.

3. The semiconductor device of Claim 1, wherein said capacitor is a memory cell charge build-up capacitor and wherein said capacitor is formed on memory cell-switching transistors.
4. A semiconductor device fabrication method comprising the steps of:
 - forming switching transistors for memory cells on a semiconductor substrate;
 - creating a contact hole on said interlayer insulator with respect to said switching transistor after forming an interlayer insulator on said semiconductor substrate;
 - forming a connecting electrode in said contact hole;
 - forming said memory cell capacitor by forming a capacitor insulator composed of a metal oxide on the first capacitor electrode as well as a second capacitor electrode after forming a first capacitor electrode that is electrically connected to said switching transistor through said connecting electrode;
 - forming a hydrogen penetration-preventing film on said second capacitor electrode; and
 - recovering, by means of heat treatment in a hydrogen atmosphere, any damage that may have occurred in said switching transistors.

4. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Application Field of the Invention]

This invention is directed at a semiconductor device with characteristic capacitors, and a fabrication method therefor.

[0002]

[Prior Art]

Known as a typical semiconductor memory device is DRAM (Dynamic Random Access read/write Memory) that performs information storage operations through the combination of transistors and capacitors. In these semiconductor memory units, the microfabrication of devices (transistors and capacitors) has led to the creation of increasingly large capacity units.

[0003]

A crucial requirement is that, from the standpoint of assuring reliability during storage operations, a virtually constant capacitor capacity must be maintained. Until now, reductions in film thickness have been achieved by using either silicon oxide films or a laminated film made with silicon oxide and silicon nitride films as capacitor insulators, and increases in storage capacity have been achieved through increases in capacitor surface areas by adopting a 3D structure through the use of stacked capacitors and trench capacitors.

[0004]

To achieve further reductions in feature size, the use of materials, such as Ta_2O_5 , with a high dielectric constant is being investigated. The application of materials with an even higher dielectric constant is also being considered to accommodate further increases in the capacity per unit area of capacitor in response to further advances in microfabrication.

[0005]

Examples of such materials may be strontium titanate that has a dielectric constant 50 to 100 times greater than the silicon oxide film; barium titanate; barium strontium titanate ((Ba, Sr) TiO_3), which is a solid solution of the former two substances; and metal oxides that have a perovskite crystalline structure (high-dielectric constant, highly ferroelectric substances).

[0006]

On the other hand, in MOS-LSI, heat treatment (hydrogen-annealing) is conducted in a hydrogen atmosphere at the final state of the device process in order to remove any MOS transistor process damage that may have been produced by plasma irradiation and other processes and also to ensure stable and improved device characteristics.

[0007]

However, capacitor insulators composed of high dielectric materials, such as strontium titanate, as mentioned above, have less binding energy than conventional silicon-based insulators (e.g., SiO_2 , Si_3N_4) and are easily reduced by the presence of hydrogen, which is a disadvantage.

[0008]

For this reason, during the hydrogen annealing as mentioned above, the hydrogen diffuses through the upper capacitor electrode and reaches the capacitor insulator, and it can reduce the capacitor insulator and create oxygen deficiencies in the capacitor insulator, thus degrading the quality of the capacitor insulator film (insulation capacity).

[0009]

In the way of a detailed description of oxygen deficiencies, Fig. 4 shows the relationship between standard free energy of generation and temperature in several metal oxides. As can be inferred from the figure in the case of PbTiO_3 and Bi_2O_3 , which are oxides of Pb and Bi, in highly ferroelectric materials such as PZT and SBT, the low standard free energy of generation can cause reduction reactions with relative ease.

[0010]

By contrast, materials such as BST and Ta_2O_3 , which have a relatively large value of standard free energy of generation, are less susceptible to reduction than PZT or SBT. However, in these metal oxides, oxygen tends to drop off partially and locally, thus creating oxygen deficiencies within the crystals. These oxygen

deficiencies release the so-called donor electrons, which increase the electrical conductivity. Thus, in materials such as BST and Ta_2O_3 , as a general rule the formation of oxygen deficiencies tends to reduce the insulation capacity.

[0011]

For the separation of insulators between interconnects, plasma CVD- SiO_2 film, plasma CVD - Si_3N_4 film, and other insulators are used extensively for the separation of the insulators between interconnects; these insulators contain large quantities of hydrogen and tend to release hydrogen.

[0012]

Because of its small molecular radius, the hydrogen that has been released can easily diffuse through the interlayer insulator and reach the capacitor. As a result, as in the case of hydrogen annealing, the capacitor insulator can be reduced or oxygen deficiencies are created in the capacitor insulator, thus causing degradation of the film quality of the capacitor insulator.

[0013]

Such degradation of the capacitor insulator becomes especially pronounced when the upper capacitor electrode is composed of metals, such as Pt and Ru. The reason is that, when permeating through a metal film, such as a Pt film or a Ru film, hydrogen (H_2) dissociates into atomic hydrogen (H), which is the active form of hydrogen, and promotes the reduction of the capacitor insulator, which is made up of metal oxides.

[0014]

With regard to a capacitor using a BST film as a capacitor insulator, and Ru films as upper and lower capacitor electrodes, when hydrogen annealing (450 deg. C, atmosphere containing 5% H_2) was actually conducted before and after the upper capacitor electrode was formed, the following results were obtained:

[0015]

No degradation in film quality occurred before the formation of an upper capacitor electrode; however, after that capacitor electrode was formed, the Ru film, which was the upper capacitor electrode, absorbed hydrogen and became fragile, and created the problem of separation of the Ru film. Moreover, the hydrogen that became active inside the Ru film especially caused the reduction of the capacitor insulator near the boundary with the upper capacitor electrode. It was confirmed that, as a result, degradation in film quality occurred, such as an increase in leak current in the capacitor insulator.

[0016]

Such degradation in the film quality of the capacitor insulator due to hydrogen causes degradation in electrical properties, such as an increase in leak current or a decrease in the extent of spontaneous polarization. Furthermore, reduction reactions, even to a modest extent, can cause a decrease in life over a long period of operations. Therefore, capacitors that have these types of capacitor insulators, when used in DRAM and other devices, can cause device reliability problems, and especially a reduction in long-term reliability.

[0017]

In addition, the inventors of the present invention have discovered that forming the upper capacitor electrode (Ru film) at a high temperature in a preliminary step improves the crystalline quality of the Ru film and increases the crystalline grain size, and that this procedure can significantly prevent degradation in capacitor insulator film quality.

[0018]

The reasons for this phenomenon can be inferred as follows: The penetration of hydrogen into the Ru film begins through the grain boundaries and then the hydrogen atoms permeate into the crystalline grains. Therefore, if the grain size of the Ru film is small and the crystallinity is low, the grain boundary diffusion of hydrogen is accelerated, and the penetration of hydrogen

into the crystals through crystalline defects is promoted. Therefore, it is possible to prevent degradation in capacitor insulator film quality by raising the film formation temperature, improving the crystallinity of the Ru film, and increasing its grain size.

[0019]

Beyond the Ru film, such phenomena can be observed in metallic films composed of other metals of the platinum family, including Pt, Pd, Ir, Ph, and Os.

[0020]

However, even when the crystallinity of the metal film used in the upper capacitor electrode was improved, it was not possible to completely prevent the penetration of hydrogen into the upper capacitor electrode and the attendant degradation of the capacitor insulator.

[0021]

[Problems to be Solved by the Invention]

As noted above, in order to assure an adequate capacitor capacity even with a further reduction in feature size, the use of capacitor insulators composed of metal oxides with high dielectric constants, such as strontium titanate has been proposed.

[0022]

The capacitor insulators composed of these types of metal oxides, however, suffer from the disadvantage of susceptibility to film quality degradation due to hydrogen. Therefore, capacitor insulators suffer from the problem of film quality degradation due to the hydrogen used during the hydrogen annealing process or the hydrogen released from interlayer insulators.

[0023]

The present invention has been developed in view of the above situation, the purposes of the present invention being to provide a semiconductor device capable of preventing film quality degradation in the capacitor insulator due to hydrogen even when insulators composed of

metal oxides are used as capacitor insulators, and to provide a fabrication method therefor.

[0024]

[Means for Solving the Problem]

[Constitution]

To achieve the above objectives, [Claim 1] of the present invention comprises: a semiconductor substrate; and a capacitor consisting of the following components that are formed on the semiconductor substrate: a first capacitor electrode, a capacitor insulator composed of a metal oxide that is provided on the first capacitor electrode, a second capacitor electrode that is provided on the capacitor insulator, and a hydrogen penetration-preventing film that is provided on the second capacitor electrode.

[0025]

The hydrogen penetration-preventing film is preferably an insulator composed of an insulator material whose oxygen affinity is greater than or equal to that of said metal oxide [Claim 2]. Further, the aforementioned capacitor is a memory cell charge build-up capacitor, for example, and the capacitor is formed on memory cell-switching transistors [Claim 3].

[0026]

The semiconductor device fabrication method of the present invention [Claim 4] comprises the steps of: forming switching transistors for memory cells on a semiconductor substrate; creating a contact hole on said interlayer insulator with respect to said switching transistor after forming an interlayer insulator on said semiconductor substrate; forming a connecting electrode in said contact hole; forming said memory cell capacitor by forming a capacitor insulator composed of a metal oxide on the first capacitor electrode as well as a second capacitor electrode after forming a first capacitor electrode that is electrically connected to said switching transistor through said connecting electrode; forming a

hydrogen penetration-preventing film on said second capacitor electrode; and recovering, by means of heat treatment in a hydrogen atmosphere, any damage that may have occurred in said switching transistors.

[0027]

More concretely, the present invention has the following constitution: The capacitor insulator has (Ba, Sr) TiO_3 , Pz (Zr, Ti) O_3 , or $\text{SrBi}_2\text{Ta}_2\text{O}_9$ as its principal constituents.

[0028]

The second capacitor electrode is a conducting film composed principally of Ru, Pt, Ir, Rh, Pd, or Os. The hydrogen penetration-preventing film is either a conducting film or an insulator film composed principally of TiN_x , TiSi_xN_y , WSi_xN_y , a metal silicide, or a silicon nitride (e.g., Si_3N_4).

[0029]

[Operation]

According to the present invention, a hydrogen penetration-preventing film, which is provided on the capacitor insulator composed of a metal oxide, through the second capacitor electrode, can prevent the hydrogen from diffusing through the second capacitor electrode and reaching the capacitor insulator.

[0030]

Therefore, the present invention can prevent degradation in the film quality of the capacitor insulator due to the reduction of the metal oxide by hydrogen. An example of a situation where a hydrogen-induced reduction can occur is heat treatment (hydrogen annealing) that is conducted in a hydrogen atmosphere in order to recover switching transistors for memory cells from process damage, as indicated in [Claim 4] of the present invention.

[0031]

It should be noted that it is not necessary for the hydrogen penetration-preventing film to completely prevent the penetration by hydrogen. It suffices that the

degradation of film quality in the capacitor insulator be inhibited to an extent that it does not pose a practical problem. The reason is that if the penetration by hydrogen is completely stopped, and if a memory cell transistor is underneath the capacitor, it will not be possible to recover the transistor from process damage by means of hydrogen annealing.

[0032]

It was also discovered that the type of film that can be used as a hydrogen penetration-preventing film is a film with a hydrogen diffusion less than the second capacitor electrode, a film that can remove active hydrogen because the film itself is subject to reduction, or a film that has both of these properties.

[0033]

For the second film that is referred to herein, it will be beneficial to use a film that is greater than or equal to a capacitor insulator in susceptibility to reduction, i.e., a film that is greater than or equal to a capacitor insulator in oxygen affinity. For the hydrogen penetration-preventing film material, either a conducting or insulating film can be used depending upon the intended application.

[0034]

Beyond using a hydrogen penetration-preventing film, by improving the crystallinity of the metallic film by forming a metallic film, such as a Ru film as a capacitor electrode, at a high film growth temperature, preferably at 300 deg. C or greater, as noted above, it will be possible to more effectively prevent the degradation of the film quality of the capacitor insulator.

[0035]

Among the conducting materials with which a hydrogen penetration-preventing film can be made are metal silicides, such as TiN_x and $TiSi_x$, and nitrogen-containing metal silicides, such as $TiSi_xN_y$.

[0036]

These materials were chosen not only because they must not become fragile due to the penetration of hydrogen, but also because they need to be able to inhibit the diffusion of hydrogen.

[0037]

Among the insulating materials with which a hydrogen penetration-preventing film can be made are metal oxides such as Si_3N_4 , BST, PZT, Ta_2O_5 , and TiO_2 . Following is a discussion on these constituent materials for hydrogen penetration-preventing films, their operating effects, and desirable application conditions or ranges.

[0038]

As a first point, generally, conducting materials offer the advantage of being able to function as a part of an electrode. The material TiN_x , which has a structure wherein nitrogen atoms are interspersed in the Ti lattice, is relatively immune to the penetration and absorption of hydrogen.

[0039]

If heat treatment is not conducted after film formation, although the diffusion of hydrogen can occur with relative ease, there is no possibility of an increase in fragility. Therefore, from the standpoint of ease of film formation and processing, conducting materials can be used most effectively in actual processes.

[0040]

Further, by conducting a preliminary high-temperature annealing process, it is possible to achieve a substantial improvement in the problem of hydrogen diffusion noted previously. The annealing process should be conducted at a temperature of 500 deg. C or greater, an inert gas, a gas containing trace amounts of oxygen, or in a nitrogen gas.

[0041]

Metal silicides, such as TiSi_x , are expected to achieve virtually the same effect as TiN_x . Similarly, nitrogen-containing metal silicides, such as TiSi_xN_y , normally maintain an amorphous state as long as they are

not subjected to high-heat treatment. Therefore, in these materials, which do not contain any grain boundaries, the diffusion of hydrogen will be extremely slow, thus producing an exceedingly high hydrogen penetration prevention effect.

[0042]

In actual LSI products, however, during the hydrogen annealing the amount of hydrogen that is supplied to the transistors underneath the capacitors, such as MOS transistors, can become insufficient, and this creates the problem of a reduced transistor property improvement effect by hydrogen annealing.

[0043]

Therefore, when a film consisting of a nitrogen-containing metal silicide is used, the film thickness must necessarily be small. The desirable film thickness value is 50 nm or less. On the other hand, the diffusion of hydrogen can also be controlled in the case of insulators, such as oxide films. In the case of an oxide film, the film itself can consume the excess hydrogen through the reduction of the film itself into hydrogen.

[0044]

From the former standpoint, the silicon nitride film seems to be the best material. However, it must be used in thin films, as in the case of a film composed of a nitrogen-containing metal silicide, such as TiSi_xN_y mentioned above. From the latter standpoint, metal oxide insulator films of TST, PZT, Ta_2O_5 , and TiO_2 that can be capacitor insulators in themselves can be considered.

[0045]

Further, it is possible to minimize an increase in the number of steps as follows: forming a conducting film that will function as a capacitor electrode, forming thereon a conducting or insulating film that will function as a hydrogen penetration-preventing film, forming thereon photoresist patterns by photolithography, and successively etching the capacitor electrode conducting film and the hydrogen penetration-preventing film conducting or

insulating film through the use of the photoresist patterns.

[0046]

For a capacitor electrode, if metallic films such as Pt film, which is difficult to process by RIE, or metallic films, such as Ru film, which must be processed by RIE using an oxygen-containing reactive gas that can etch the photoresist must be used, it suffices to transfer patterns from the photoresist patterns to another film, and to process the Pt film or the Ru film by RIE by using the copy-of-pattern film as a mask. By using a hydrogen penetration-preventing film as a copy-of-pattern film, it will be possible to process Pt film, Ru film, and other metallic films by RIE with virtually no increase in the number of processes.

[0047]

[Embodiments]

Following is a description of the mode of embodiment of the present invention ("embodiment mode") with references to drawings.

(Embodiment Mode 1) Fig. 1 is a process cross-sectional diagram that illustrates a method for the formation of the DRAM memory cell of Embodiment Mode 1 of the present invention. This DRAM is a stacked-type DRAM wherein the memory cell capacitors are disposed above the word lines, the bit lines, and the MOS transistors for the memory cells.

[0048]

In this Embodiment Mode, we describe the cases where a (Ba, Sr) TiO₂ film is used as a capacitor insulator, Ru films as lower and upper capacitor electrodes, and a TiN_x film as a hydrogen penetration-preventing film.

[0049]

As shown in Fig. 1 (a), a trench is formed by etching the surface of a silicon substrate 101, after which the trench is buried with a device separation insulator 102 to form a device separation region. The silicon substrate

101 is a monosilicon substrate with a resistivity of 10 Ωcm , for example, a principal plane of (100) plane, and a p-type conducting type.

[0050]

In the next step, as shown in Fig. 1 (a), a thermal oxide silicon film, 6 nm thick, that will be a gate insulator 103; an n+ type polysilicon film that will be a gate electrode 104; and a tungsten silicide film that will be a gate electrode 105 are formed in sequence. A laminated film composed of these films is patterned using photolithography and the RIE method is used to form the gate insulator 103 and the gate electrodes 104 and 105.

[0051]

After that, the gate electrodes 104 and 105 are masked, and n-type dopant ions are implanted onto the surface of the substrate. This ion implantation is conducted in a lower dose and at a lower acceleration voltage than the ion implantation that is conducted later.

[0052]

In the next step, as shown in Fig. 1 (a), a silicon oxide film that will be a gate sidewall insulator 106 is formed on the entire surface by means of the CVD method, and the silicon oxide film is totally etched by the RIE method in the so-called sidewall residue technique that leaves residues of the silicon oxide film on the sidewalls of the gates 103, 104, and 105, thus forming the gate sidewall insulator 106.

[0053]

In the next step, n-type dopant ions are implanted onto the surface of the substrate, using the gates 103, 104, 105, and the gate sidewall insulator 106 as a mask. Subsequently, annealing is conducted to activate the n-type dopant ions that were implanted onto the surface of the substrate during the previous preliminary ion implantation and the full ion implantation to form an n-type source diffusion layer 107 and an n-type drain diffusion layer 108 of an LDD structure to complete an n-

channel MOS transistor as a memory cell switching transistor.

[0054]

Although the annealing was conducted once after the two ion implantation processes, annealing can be conducted after each ion implantation process. In the interest of simplicity, the LDD structure is omitted from the figure, and only one diffusion layer is depicted.

[0055]

In the next step, as shown in Fig. 1 (b), an interlayer insulator 109, 100 nm thick, consisting of silicon oxide, is formed on the entire surface by CVD. By means of photolithography and RIE, contact holes are created in the interlayer insulator 109, at positions opposite the n-type source diffusion layer 107 and the n-type drain diffusion layer 108.

[0056]

In the next step, as shown in Fig. 1 (b), plug electrodes 110 and 111 are buried and formed in the contact holes. Specifically, an n⁺-type polysilicon film, which will be the plug electrodes 110 and 111, is formed on the entire surface so that the contact holes are completely filled, and any extraneous n⁺ polysilicon film outside of the contact holes is removed by either the CMP (Chemical Mechanical Polishing) or etch-back method to form the plug electrodes 110 and 111.

[0057]

In the next step, as shown in Fig. 1 (b), after a Ti film that will be a Ti silicide film 112 as a barrier metal is formed on the entire surface, by thermal treatment the Ti film and the plug electrodes (n⁺-type polysilicon film) 110 and 111 are allowed to react, which forms the Ti silicide film 112 on the surfaces of the plug electrodes 110 and 111. Subsequently, any unreacted Ti film and any extraneous Ti silicide film outside of the contact holes are removed.

[0058]

In the next step, as shown in Fig. 1 (b), a tungsten film, which will be a bit line 113, is formed on the entire surface, and subsequently the tungsten film is patterned by means of photolithography and RIE to form the bit line 113. Alternatively, the dual Damascene method can be used to form the plug electrode 110 and the bit line 113. In this case, the CMP method should be used instead of RIE.

[0059]

In the next step, as shown in Fig. 1 (b), the CVD method is used to form an interlayer insulator 114, approximately 150 nm thick, composed of silicon oxide, on the entire surface. After the surface is planarized, a via hole disposed opposite the plug electrode 110, is formed in the interlayer insulator 114. Notice that when the plug electrode 110 and the bit line 113 are formed by the dual Damascene process, the resulting interlayer insulator 114 will be a double-layer structure.

[0060]

In the next step, as shown in Fig. 1 (b), a plug electrode 115, composed of an n+-type polysilicon film, which comes into contact with the plug electrode 110 inside the via hole is formed. This plug electrode 115 is formed in the same manner as the plug electrodes 110 and 11 (sic - "110"?)

[0061]

In the next step, as shown in Fig. 1 (c), an Ru film, 200 nm thick, which will be a lower capacitor electrode 116, is formed on the entire surface. Subsequently, the Ru film is patterned by photolithography and RIE to form the lower capacitor electrode 116.

[0062]

In the next step, as shown in Fig. 1 (d), a (Ba, Sr) TiO₂ film, 200 nm thick, which will be a capacitor insulator 117, is formed on the entire surface by CVD. In the case where the aspect ratio for the lower capacitor electrode 116 is not high, the (Ba, Sr) TiO₂ film can alternatively be formed by means of the sputtering method.

[0063]

In the next step, as shown in Fig. 1 (d), an Ru film, approximately 50 nm thick, which will be an upper capacitor electrode (plate electrode) 118, is formed on the entire surface by either the sputtering method or the CVD method. Because the TiN_x film 119 has a structure wherein nitrogen atoms are interspersed in the Ti lattice, it can act as a hydrogen penetration-preventing film.

[0064]

To increase the grain size for the Ru film and to inhibit the diffusion of the hydrogen in the Ru film, the growth of the Ru film should preferably be conducted at a temperature greater than or equal to 300 deg. C, or, after the Ru film is formed, it should be annealed at an approximate temperature of 500 deg. C.

[0065]

After that, a photoresist pattern (not shown in the figure) is formed. This photoresist pattern is used as a mask to etch the TiN_x film by RIE, thus transferring the photoresist pattern onto the TiN_x film.

[0066]

Finally, the photoresist pattern is removed, the TiN_x film 119 is masked, and the underlying Ru film and (Ba, Sr) TiO_3 film are etched by RIE to form an upper capacitor electrode 118 composed of the Ru film and a capacitor insulator 117 composed of the (Ba, Sr) TiO_3 film. This completes the capacitor shown in Fig. 1 (d).

[0067]

Subsequently, ordinary methods are employed to conduct an interlayer insulator process, an aluminum interconnection process, and an MOS transistor process damage recovery process by hydrogen annealing to complete the DRAM.

[0068]

In these steps, an oxygen-containing reactive gas, such as a mixture of CF_4 and O_2 , is used for the etching of the Ru film. This type of reactive gas, however, also etches the photoresist. Therefore, when an Ru film is to

be etched by means of RIE, patterns from the photoresist pattern (first mask pattern) should be transferred to a film that is not subject to etching, and the film onto which the patterns from the photoresist pattern (second mask pattern) are transferred must be used as a mask. For this reason, the patterning of Ru films requires a greater number of processes than the patterning of most other films.

[0069]

On the other hand, to the extent that the TiN_x film 119 exists, the capacitor of the present Embodiment Mode would require a greater number of processes than a capacitor using ordinary Ru films. In the case of the present Embodiment Mode, however, the TiN_x film 119 can double as the second mask pattern mentioned above, and thus can eliminate the need for separately forming a second mask pattern. Therefore, even with the presence of the TiN_x film 119, there is little increase in the number of processes.

[0070]

In the present Embodiment Mode, a TiN_x film 119 that functions as a hydrogen penetration-preventing film is provided on the capacitor insulator 117 composed of a metal oxide, $(\text{Ba}, \text{Sr}) \text{TiO}_3$, through the upper capacitor electrode 118. Therefore, during the hydrogen annealing process, this structure can prevent hydrogen from diffusing through the upper capacitor electrode 118 and reaching the capacitor insulator 117.

[0071]

Consequently, this structure can prevent the reduction of $(\text{Ba}, \text{Sr}) \text{TiO}_3$ by hydrogen or the degradation in the film quality of the capacitor insulator 117 due to the occurrence of oxygen drop-outs.

[0072]

It should be noted that it is not necessary that the TiN_x film 119 completely prevent the penetration of hydrogen. The prevention effect is acceptable if it can inhibit the degradation of the film quality of the

capacitor insulator 117 to an extent that does not pose any practical problems. The reason is that if the penetration of hydrogen is completely stopped, it will be impossible to recover process damage to MOS transistors, which are memory cell-switching transistors, by means of hydrogen annealing.

[0073]

The main cause of process damage to MOS transistors may be due to plasma irradiation. Plasma irradiation occurs, for example, during the gate electrode formation process using the RIE method, the interlayer insulator formation process using the plasma CVD method following the formation of MOS transistors, and the metal interconnect formation process using the RIE method. Further, process damage can be caused not only by the plasma itself (ions and electrons), but also by UV and R-ray irradiation that is associated with the generation of plasma.

[0074]

Although in the present Embodiment Mode a (Ba, Sr) TiO_3 film is used as a capacitor insulator, an Ru film as a capacitor electrode, and a TiN_x film as a hydrogen penetration-preventing film, the present invention is by no means limited to these materials; other films can also be used equally well.

[0075]

For example, instead of the (Ba, Sr) TiO_3 film, a Ta_2O_5 film can be used. Similarly, instead of the Ru film, precious metals such as Pt, Ir, Pd, Os, and Rh can be used.

[0076]

Further, instead of the TiN_x film, nitrogen-containing metal silicides, including TiSi_xN_y and WSi_xN_y films, or ordinary metal silicides such as TiSi_x or WSi_x films can be used.

(Embodiment Mode 2) Fig. 2 is a process cross-sectional diagram that illustrates the method of forming memory cells for the DRAM of Embodiment Mode 2 of the present invention. This Embodiment Mode differs from Embodiment

Mode 1 principally in the shape of the capacitor and attendant modifications to the processes.

[0077]

First, as shown in Fig. 2 (a), a device separation insulator 202 is buried and formed onto the surface of a silicon substrate 201, and a gate insulator 203, gate electrodes 204 and 205, a gate sidewall insulator 206, a source diffusion layer 207, and a drain diffusion layer 208 are formed in succession to complete the MOS transistor, which is a memory cell-switching transistor.

[0078]

In the next step, as shown in Fig. 2 (a), an interlayer insulator 209, plug electrodes 210 and 211, a Ti silicide film 212, a bit line 213, an interlayer insulator 214, and a plug electrode 215 are formed.

[0079]

The processes up to this point are similar to those employed in Embodiment Mode 1 and their details are therefore omitted. In the next step, as shown in Fig. 2 (b), an interlayer insulator 216, approximately 200 nm thick, composed of silicon oxide, is formed on the entire surface. Subsequently, photolithography and RIE are used to remove the interlayer insulator 216 from the capacitor region, and an opening 217 is formed. As a result, the plug electrode 215 and the surrounding interlayer insulator 214 are exposed.

[0080]

In the next step, as shown in Fig. 2 (c), the CVD method is employed to form an Ru film, which will be an lower capacitor electrode 218, on the entire surface. The thickness of the Ru film is the thickness before the opening 217 is filled up. For a film growth gas, a ruthenium di-pivalyolomethane gas, for example, is used.

[0081]

In the next step, a SOG film (not shown in the figure) is buried in the opening 217, and the SOG film is used as a mask to remove any Ru film outside of the opening 217 by means of the CMP or RIE method. As a

result, a lower capacitor 218, which covers the bottom and the sides of the opening 217, is formed. Subsequently, the SOG film is removed.

[0082]

In the next step, as shown in Fig. 2 (d), a (Ba, Sr) TiO_2 film, 20 nm thick, which will be a capacitor insulator 219, an Ru film, approximately 50 nm thick, which will be an upper capacitor electrode (plate electrode) 220, and a (Ba, Sr) TiO_3 film 221, approximately 20 nm thick, which will be a hydrogen penetration-preventing film, are formed in succession on the entire surface by the CVD method.

[0083]

Subsequently, a photoresist pattern (not shown in the figure), is formed. The photoresist pattern is used as a mask to etch the (Ba, Sr) TiO_3 film 221 by either the RIE method or the wet etching method to transfer the aforementioned photoresist pattern onto the (Ba, Sr) TiO_3 film 221.

[0084]

Finally, the photoresist pattern is removed, and using the (Ba, Sr) TiO_3 film as a mask, the underlying Ru film and the (Ba, Sr) TiO_3 film are etched by RIE, which forms an upper capacitor electrode 219 composed of the Ru film and a capacitor insulator 219 composed of (Ba, Sr) TiO_3 film, thus completing the capacitor illustrated in Fig. 2 (c).

[0085]

Subsequently, the interlayer insulator formation process, the aluminum interconnect process, and the MOS transistor process damage recovery process by hydrogen annealing are performed to complete the DRAM.

[0086]

Although the capacitor of this Embodiment Mode requires an increase in the number of processes to the extent that the (Ba, Sr) TiO_3 film exists when compared with ordinary capacitors, there is virtually no net

increase in the number of processes for the same reasons as in Embodiment Mode 1.

[0087]

According to this Embodiment Mode, as in the case of Embodiment Mode 1, the use of the (Ba, Sr) TiO_3 film 211 can prevent the degradation due to hydrogen of the film quality of the capacitor insulator 219.

[0088]

Although in the present Embodiment Mode a (Ba, Sr) TiO_3 film is used as a capacitor insulator, and an Ru film as a capacitor electrode, the present invention is by no means limited to these materials; other films can also be used equally well.

[0089]

Although in this Embodiment Mode the material (Ba, Sr) TiO_3 is used as a hydrogen penetration-preventing film, other films, such as PbTiO_3 , PZT, SrTiO_3 , Bi_2O_3 , Ta_2O_5 , and other oxide films that are greater than or equal to the (Ba, Sr) TiO_3 film in susceptibility to reduction, i.e., films that are greater than or equal to the (Ba, Sr) TiO_3 film in oxygen affinity, can be used.

(Embodiment Mode 3) Fig. 3 is a process cross-sectional diagram that illustrates the method for forming FRAM memory cells of Embodiment Mode 3. In this FRAM, the memory cell capacitors are disposed above any of the bit lines.

[0090]

In this Embodiment Mode, we describe the cases where a ferroelectric Pb (Zr, Ti) O_3 film is used as a capacitor insulator, a Pt film as upper and lower capacitor electrodes, and a TiSi_xN_y film as a hydrogen penetration-preventing film.

[0091]

First, as shown in Fig. 3 (a), a device separation insulator 302 is buried and formed onto the surface of a silicon substrate 301. Subsequently, a gate insulator 303, a gate electrode 304, a gate sidewall insulator 306, a source diffusion layer 307, and a drain diffusion layer

308 are formed to complete the MOS transistor, which is a memory cell-switching transistor.

[0092]

Formed in the next step, as shown in Fig. 3 (a), are an interlayer insulator 309, plug electrodes 310 and 311, a Ti silicide film 312, a bit line 313, an interlayer insulator 314, and a plug electrode 315.

[0093]

Up to this point, processes similar to Embodiment Mode 1 are employed, and details thereof are omitted. A difference, however, is that a tungsten film is used for the plug electrode 315. In the next step, as shown in Fig. 3 (b), a Pt film, 150 nm thick, which will be a lower capacitor electrode 316, is formed on the entire surface. Subsequently, this Pt film is patterned by photolithography and RIE to form a lower capacitor electrode 316.

[0094]

In the next step, as shown in Fig. 3 (c), a Pb (Zr, Ti) O₃ film, 200 nm thick, which will be a capacitor insulator 317, a Pt film, approximately 100 nm thick, which will be an upper capacitor electrode (drive line), and a thin TiSi_xN_y film 319, approximately 300 nm thick and preferably less than or equal to 50 nm, are formed in succession on the entire surface by the sputtering method. The TiSi_xN_y film 319 normally maintains an amorphous state as long as it is not subjected to high-heat treatment. Therefore, in this material, which does not contain any grain boundaries, the diffusion of hydrogen will be extremely slow, thus producing an excellent hydrogen penetration prevention film.

[0095]

If the capacitor electrode has a planar structure, the Pb (Zr, Ti) O₃ film can also be formed by a coating process. Subsequently, a photoresist pattern (not shown in the figure) is formed, and using the photoresist pattern as a mask, the TiSi_xN_y film 319 is etched by RIE to

transfer patterns from the photoresist pattern onto the TiSi_xN_y film 319.

[0096]

Finally, the photoresist pattern is removed, and then the TiSi_xN_y film 319 is used as a mask to etch the underlying Pt film and the Pb (Zr, Ti) O_3 film by RIE to form an upper capacitor electrode 318 composed of the Pt film and a capacitor insulator 318 composed of the Pb (Zr, Ti) O_3 film, thus completing the capacitor shown in Fig. 3 (c).

[0097]

Subsequently, the interlayer insulator formation process, the aluminum interconnect process, and the MOS transistor process damage recovery process by hydrogen annealing are performed by ordinary methods to complete the FRAM.

[0098]

In the present Embodiment Mode, a TiN_x film 319 that functions as a hydrogen penetration-preventing film is provided on the capacitor insulator 317 composed of a metal oxide, Pb (Zr, Ti) O_3 , through the upper capacitor electrode 318. Therefore, during the hydrogen annealing process, this structure can prevent hydrogen from diffusing through the upper capacitor electrode 318 and reaching the capacitor insulator 317.

[0099]

As a result, this structure can prevent the reduction of the Pb (Zr, Ti) O_3 by hydrogen or the degradation in the film quality of the capacitor insulator 317 due to the occurrence of oxygen deficiencies in the Pb (Zr, Ti) O_3 . Notice that for the same reasons as in the case of the TiN_x film 119 in Embodiment Mode 1, it is not necessary for the TiSi_xN_y film 319 to completely prevent the penetration of hydrogen.

[0100]

Although in the present Embodiment Mode a Pb (Zr, Ti) O_3 film is used as a capacitor insulator, a Pt film as a capacitor electrode, and a TiSi_xN_y film as a hydrogen

penetration-preventing film, the present invention is by no means limited to these materials; other films can also be used equally well.

[0101]

For example, $\text{SrBi}_2\text{Ta}_2\text{O}_5$ and other films can be used instead of the Pb (Zr, Ti) O_3 film. Similarly, instead of the Pt film, precious metals such as Ir, Os, Rh, and Ru can be used.

[0102]

Further, instead of the TiSi_xN_y film, metal silicide films, which are conducting films of TiSi_xN_y , WSi_xN_y , TiSi_x , WSi_x can be used. Beyond the conducting films, films of PbTiO_3 , Pb (Zr, Ti) O_3 , Bi_2O_3 , Ta_2O_5 , and other oxide films with a reduction susceptibility greater than or equal to (Ba, Sr) TiO_3 (high oxygen affinity) can be used.

[0103]

It should be noted that the present invention is by no means limited to the embodiment modes described above. For example, although the above embodiment modes were described in terms of memory cell capacitors for DRAM and FRAM, the present invention can be applied to capacitors for other devices as well. Beyond these, the present invention can be implemented through a variety of modifications within a range does not deviate from the spirit of the invention.

[0104]

[Advantages of the Invention]

As foregoing detailed description indicates, the present invention, through the use of a hydrogen penetration-preventing film, can prevent hydrogen from diffusing through the second capacitor electrode and reaching the capacitor insulator composed of a metal oxide, thus preventing the degradation in the film quality of the capacitor insulator.

[0105]

5. BRIEF DESCRIPTION OF THE DRAWINGS

[Fig. 1] A process cross-sectional diagram illustrating the method of formation of DRAM memory cells of Embodiment Mode 1 of the present invention.

[Fig. 2] A process cross-sectional diagram illustrating the method of formation of DRAM memory cells of Embodiment Mode 2 of the present invention.

[Fig. 3] A process cross-sectional diagram illustrating the method of formation of FRAM memory cells of Embodiment Mode 3 of the present invention.

[Fig. 4] A diagram showing the relationship between the standard free energy of generation and temperature for representative metal oxides.

[Reference Numbers]

- 101: Silicon substrate
- 102: Device separation insulator
- 103: Gate insulator
- 104: Gate electrode (N+ type polysilicon film)
- 105: Gate electrode (tungsten silicide film)
- 106: Gate sidewall insulator
- 107: Source diffusion layer
- 108: Drain diffusion layer
- 109: Interlayer insulator
- 110: Plug electrode (N+ type polysilicon film)
- 111: Plug electrode (N- type polysilicon film; connection electrode)
- 112: Ti silicide film
- 113: Bit line
- 114: Interlayer insulator
- 115: Plug electrode (N+ type polysilicon film)
- 116: Lower capacitor electrode (Ru film; capacitor electrode 1)
- 117: Capacitor insulator ((Ba, Sr) TiO₃ film)
- 118: Upper capacitor electrode (Ru film; capacitor electrode 2)
- 119: TiN_x film (hydrogen penetration-preventing film)

201: Silicon substrate
 202: Device separation insulator
 203: Gate insulator
 204: Gate electrode (N+ type polysilicon film)
 205: Gate electrode (tungsten silicide film)
 206: Gate sidewall insulator
 207: Source diffusion layer
 208: Drain diffusion layer
 209: Interlayer insulator
 210: Plug electrode (N+ type polysilicon film)
 211: Plug electrode (N+ type polysilicon film; connection electrode)
 212: Ti silicide film
 213: bit line
 214: Interlayer insulator
 215: Plug electrode (N+ type polysilicon film)
 216: Interlayer insulator
 217: Opening
 218: Lower capacitor electrode (Ru film; capacitor electrode 1)
 219: Capacitor insulator ((Ba, Sr) TiO_3 film)
 220: Upper capacitor electrode (Ru film; capacitor electrode 2)
 211: (Ba, Sr) TiO_3 film (hydrogen penetration-preventing film)
 301: Silicon substrate
 302: Device separation insulator
 303: Gate insulator
 304: Gate electrode (N+ type polysilicon film)
 305: Gate electrode (tungsten silicide film)
 306: Gate sidewall insulator
 307: Source diffusion layer
 308: Drain diffusion layer
 309: Interlayer insulator
 310: Plug electrode (N+ type polysilicon film)
 311: Plug electrode (N+ type polysilicon film; connection electrode)
 312: Ti silicide film

- 313: Bit line
- 314: Interlayer insulator
- 315: Plug electrode (tungsten silicide film)
- 316: Lower capacitor electrode (Pt film; Capacitor electrode 1)
- 317: Capacitor insulator (Pb (Zr, Ti)O₃ film
- 318: Upper capacitor electrode (Pt film; Capacitor electrode 2)
- 319: TiSi_xN_y film (hydrogen penetration prevention film)

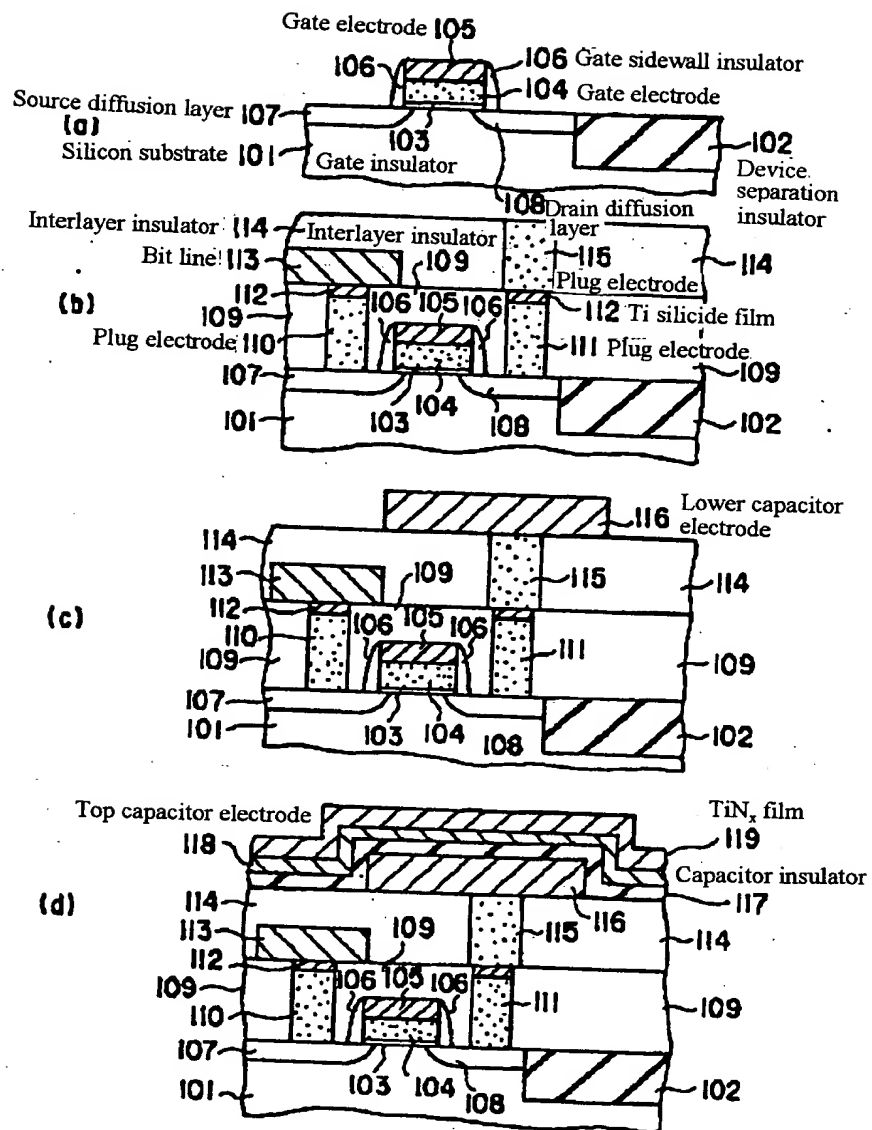


Figure 1

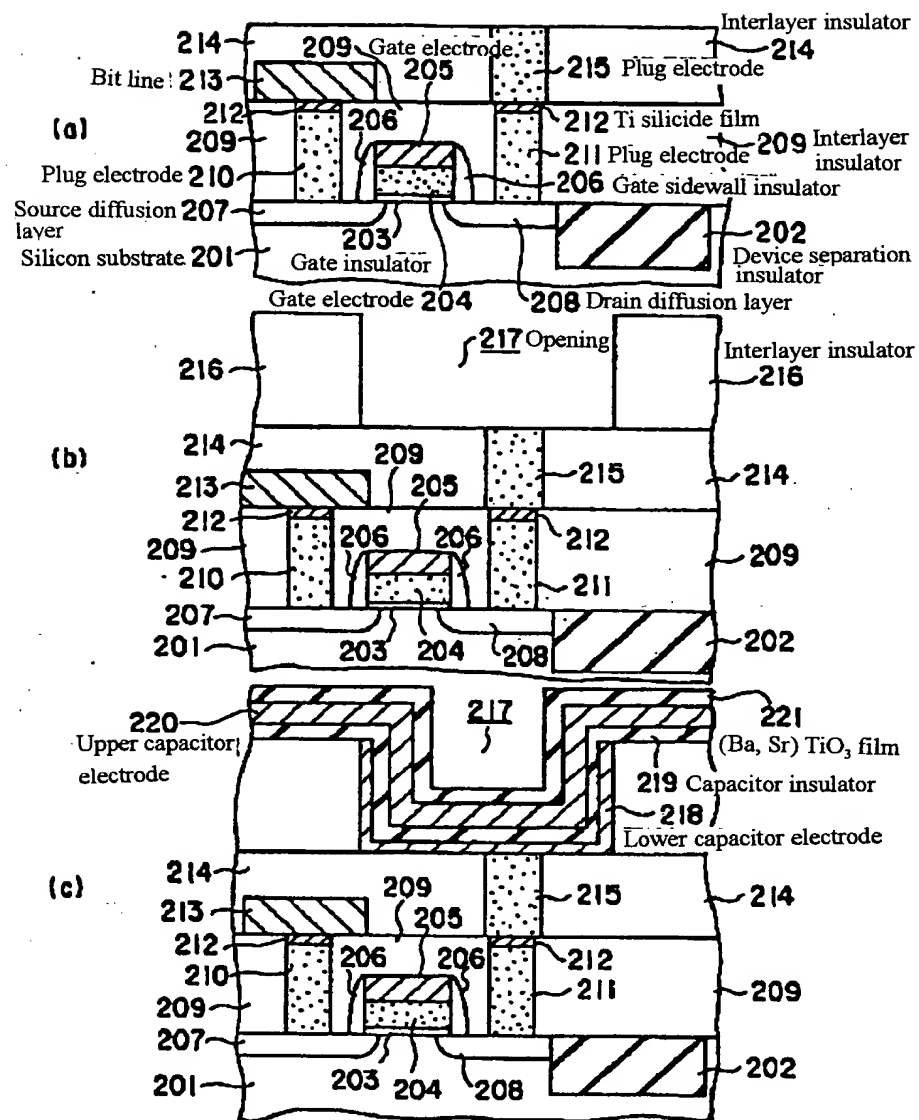


Figure 2

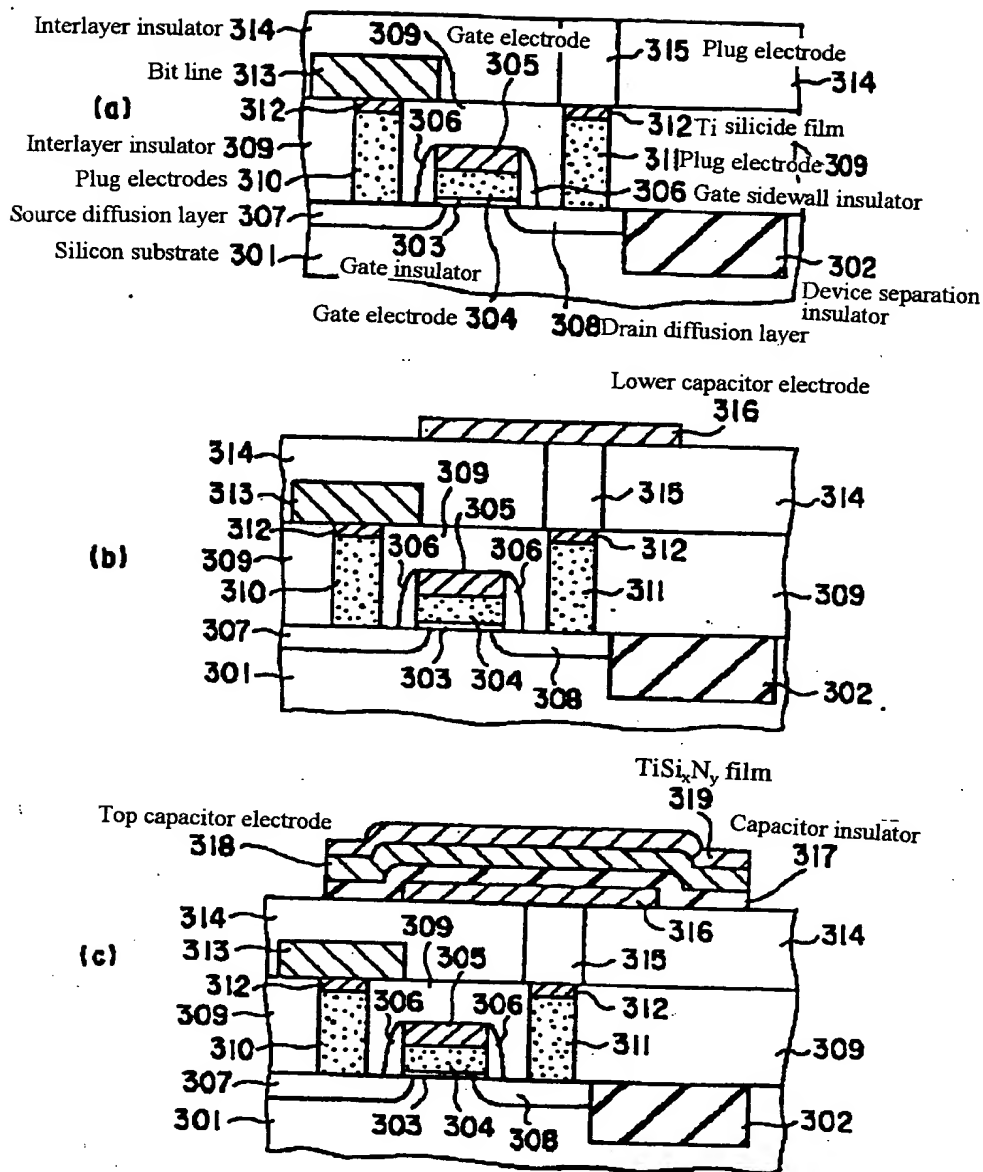


Figure 3

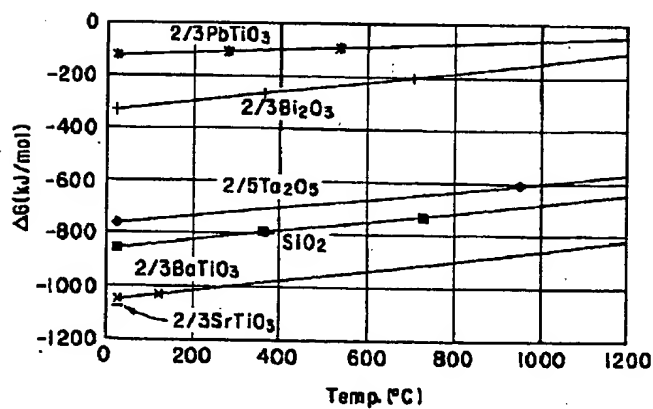


Figure 4 Relationship between standard free energy of generation and temperature

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145410

(43) 公開日 平成11年(1999) 5月28日

(51) IntCl.⁶

H 0 1 L 27/10
27/108
21/8242

識別記号

4 5 1

F I

H 0 1 L 27/10

4 5 1

6 5 1

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平9-312410

(22) 出願日 平成9年(1997)11月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 今井 馨太郎

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 有門 経敏

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

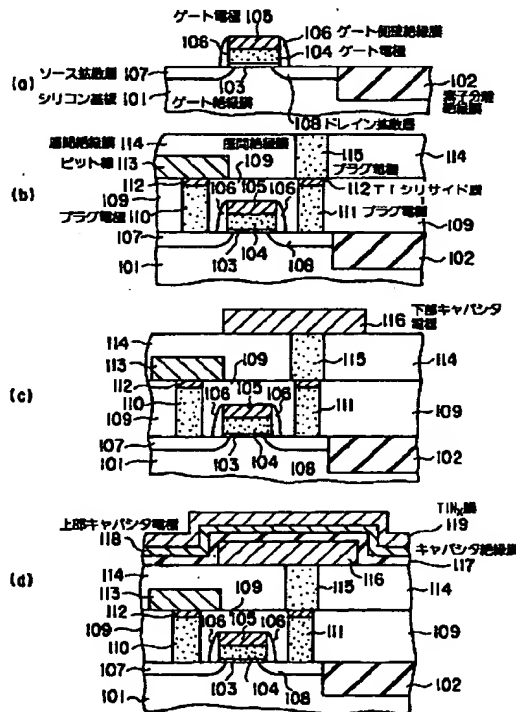
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 キャパシタ絶縁膜として金属酸化物からなる絶縁膜を用いても、水素によるキャパシタ絶縁膜の膜質劣化を防止できるキャパシタを提供すること。

【解決手段】 Ruからなる下部キャパシタ電極116と、この下部キャパシタ電極116上に設けられた(Ba, Sr)TiO₃からなるキャパシタ絶縁膜117と、このキャパシタ絶縁膜117上に設けられたRuからなる上部キャパシタ電極118とから構成されたキャパシタにおいて、上部キャパシタ電極118上に水素浸透防止膜としてのTiN_x膜119を設ける。



【特許請求の範囲】

【請求項1】半導体基板と、

この半導体基板上に形成され、かつ第1のキャパシタ電極と、この第1のキャパシタ電極上に設けられた金属酸化物からなるキャパシタ絶縁膜と、このキャパシタ絶縁膜上に設けられた第2のキャパシタ電極と、この第2のキャパシタ電極上に設けられた水素浸透防止膜とから構成されたキャパシタとを具備してなることを特徴とする半導体装置。

【請求項2】前記水素浸透防止膜は、酸素親和性が前記金属酸化物と同じまたはそれよりも高い絶縁材料から形成された絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記キャパシタは、メモリセルの電荷蓄積用キャパシタであり、かつ前記キャパシタは、メモリセルのスイッチングトランジスタ上に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】半導体基板にメモリセルのスイッチングトランジスタを形成する工程と、

前記半導体基板上に層間絶縁膜を形成した後、前記スイッチングトランジスタに対してのコンタクトホールを前記層間絶縁膜に開孔する工程と、

前記コンタクトホール内に接続電極を形成する工程と、前記接続電極を介して前記スイッチングトランジスタと電気的に接続する第1のキャパシタ電極を形成した後、この第1のキャパシタ電極上に金属酸化物からなるキャパシタ絶縁膜、第2のキャパシタ電極を形成して、前記メモリセルのキャパシタを形成する工程と、

前記第2のキャパシタ電極上に水素浸透防止膜を形成する工程と、

水素雰囲気中での熱処理により、前記スイッチングトランジスタに生じたダメージを回復させる工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタに特徴がある半導体装置およびその製造方法に関する。

【0002】

【従来の技術】代表的な半導体記憶装置として、トランジスタとキャパシタとを組み合わせる情報の記憶動作を行うDRAM (Dynamic Random Access read write Memory) が知られている。この種の半導体記憶装置では、素子（トランジスタ、キャパシタ）の微細化により急速な大容量化が進んでいる。

【0003】ここで、重要なことは、記憶動作における信頼性の確保から、キャパシタの微細化を進む中においてもほぼ一定の値のキャパシタ容量を保つことである。これまでは、キャパシタ絶縁膜としてシリコン酸化膜またはシリコン窒化膜とシリコン窒化膜の積層膜を用いて薄膜化を進めたり、スタックトキャパシタ、トレンチキ

ャパシタ等の立体構造をとり入れキャパシタ表面積の増大により容量確保に対応してきた。

【0004】より一層の微細化に対しては、誘電率の高い Ta_2O_5 等の材料が検討されており、またさらに進む微細化に対応してキャパシタ単位面積あたりの容量を増加させるために、より一層誘電率の高い材料の適用も検討されている。

【0005】このような材料としては、シリコン酸化膜に比べて50倍から1000倍以上も大きいチタン酸ストロンチウム、チタン酸バリウム、およびこれらの固溶体であるチタン酸バリウムストロンチウム (Ba, Sr) TiO_3 、あるいはPZT等のペロブスカイト型の結晶構造を有する金属酸化物（高誘電体、高・強誘電体）があげられる。

【0006】一方、MOS-LSIにおいては、プラズマ照射などによって生じたMOSトランジスタのプロセスダメージを除去して、素子特性の安定化・向上を図るために、素子工程の最終段階において、水素雰囲気中での熱処理（水素アニール）を行なう。

【0007】しかしながら、上述したチタン酸ストロンチウムなどの高誘電率の材料からなるキャパシタ絶縁膜は、従来のシリコン系絶縁膜 (SiO_2 、 Si_3N_4 等) に比べて結合エネルギーが小さいため、水素の存在によって還元されやすいという欠点を持っている。

【0008】このため、上述したような水素アニール時に、水素が上部キャパシタ電極を拡散してキャパシタ絶縁膜まで到達し、この拡散してきた水素によりキャパシタ絶縁膜が還元されたり、あるいはキャパシタ絶縁膜中に酸素欠損が生成されて、キャパシタ絶縁膜の膜質（絶縁性）が劣化する。

【0009】酸素欠損についてさらに詳細に説明する。図4に、幾つかの金属酸化物について、標準生成自由エネルギーと温度の関係を示す。図から、PbやBiの酸化物である $PbTiO_3$ や Bi_2O_3 の場合から推察されるように、PZT、SBTといった強誘電体材料では、標準生成自由エネルギーの値が小さいため、比較的容易に還元反応が生じる。

【0010】一方、BST、 Ta_2O_5 といった材料では、標準生成自由エネルギーの値は比較的大きいため、PZT、SBTに比べれば還元され難い。しかし、これらの金属酸化物は、酸素が局所的・部分的に脱離して結晶内部に酸素欠損を形成し、この酸素欠損がいわゆるドナー電子を放出するために、電気導電性が増する。このようにBST、 Ta_2O_5 といった材料では、一般的に酸素欠損の形成に伴って絶縁性が低下する。

【0011】また、配線間の絶縁分離のために層間絶縁膜としてプラズマCVD- SiO_2 膜やプラズマCVD- Si_3N_4 膜などの絶縁膜が多く用いられているが、この種の絶縁膜には多くの水素が含まれ、膜中から水素が放出される。

【0012】水素は分子半径が小さいため、放出された水素は、層間絶縁膜内を容易に拡散し、キャパシタに到着する。その結果、水素アニールの場合と同様により、キャパシタ絶縁膜が還元されたり、あるいはキャパシタ絶縁膜中に酸素欠損が生成されて、キャパシタ絶縁膜の膜質が劣化する。

【0013】このようなキャパシタ絶縁膜の膜質の劣化は、上部キャパシタ電極がPt、Ru等の金属材料で形成されている場合に特に顕著になる。その理由は、水素(H₂)はPt膜、Ru膜等の金属膜中を浸透すると、より活性な水素である原子状水素(H)に解離し、金属酸化物からなるキャパシタ絶縁膜の還元を促進するからである。

【0014】実際、キャパシタ絶縁膜としてBST膜、上部キャパシタ電極および下部キャパシタ電極としてRu膜を用いたキャパシタについて、上部キャパシタ電極の形成前と形成後のそれぞれに対して、水素アニール(450℃、5% H₂ 雰囲気)を施したところ、以下の結果が得られた。

【0015】すなわち、上部キャパシタ電極の形成前は膜質の劣化は生じなかったのに対して、上部キャパシタ電極の形成後は、上部キャパシタ電極であるRu膜が水素を吸収して脆弱化し、Ru膜の膜剥れという問題が起こるとともに、Ru膜中で活性になった水素により、特に上部キャパシタ電極との界面付近のキャパシタ絶縁膜が還元され、結果的にキャパシタ絶縁膜のリーク電流が増大する等の膜質の劣化が生じることを確認した。

【0016】このような水素によるキャパシタ絶縁の膜質の劣化は、リーク電流の増加や、自発分極量の低下などの電気的特性の劣化を引き起こす。しかも、還元反応がたとえ僅かであっても、長期にわたる動作に対しては寿命の低下を生じさせる原因となる。このため、このようなキャパシタ絶縁膜を有するキャパシタがDRAM等の装置に用いられると、装置の信頼性、特に長期信頼性が損なわれるという問題が起こる。

【0017】また、本発明者らは、上部キャパシタ電極(Ru膜)の成膜をあらかじめ高温で行なった場合には、Ru膜の結晶性の向上が図られ結晶粒径が大きくなることによって、キャパシタ絶縁膜の膜質の劣化をかなりの程度防止できることを見出した。

【0018】その理由は以下のように考えられる。水素のRu膜中への浸透は、まずRu膜の結晶粒界を通して始まり、さらにそこから結晶粒内に浸透して行くと想定される。そのため、Ru膜の結晶粒が小さく、かつ結晶性が低いと、水素の粒界拡散が助長されるとともに、さらに結晶欠陥等を介して結晶中への水素の浸透が生じ易くなる。したがって、成膜温度を高くして、Ru膜の結晶性の向上および結晶粒径の大型化を図ることにより、キャパシタ絶縁膜の膜質の劣化を防止することが可能となる。

【0019】このような現象は、Ru膜の場合に限らず、Pt、Pd、Ir、Ph、Os等白金族の金属を初めとする他の金属元素からなる金属膜の場合においても見られる。

【0020】しかしながら、上部キャパシタ電極に用いる金属膜の結晶性を改良しても、上部キャパシタ電極内への水素の浸透とそれに伴うキャパシタ絶縁膜の劣化を十分に防止することはできなかった。

【0021】

【発明が解決しようとする課題】上述の如く、微細化をさらに進めても、必要なキャパシタ容量を確保するために、チタン酸ストロンチウムなどの高誘電率の金属酸化物からなるキャパシタ絶縁膜を使用することが提案されていた。

【0022】しかし、この種の金属酸化物からなるキャパシタ絶縁膜は、水素によって膜質が劣化し易いという欠点がある。このため、キャパシタ絶縁膜は水素アニール時の水素、層間絶縁膜から放出される水素などにより、膜質が劣化するという問題があった。

【0023】本発明は、上記事情を考慮してなされたもので、その目的とするところは、キャパシタ絶縁膜として金属酸化物からなる絶縁膜を用いても、水素によるキャパシタ絶縁膜の膜質劣化を防止できるキャパシタを有する半導体装置およびその製造方法を提供することにある。

【0024】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明に係る(請求項1)は、半導体基板と、この半導体基板上に形成され、かつ第1のキャパシタ電極と、この第1のキャパシタ電極上に設けられた金属酸化物からなるキャパシタ絶縁膜と、このキャパシタ絶縁膜上に設けられた第2のキャパシタ電極と、この第2のキャパシタ電極上に設けられた水素浸透防止膜とから構成されたキャパシタとを備えたことを特徴とする。

【0025】ここで、水素浸透防止膜は、酸素親和性が金属酸化物と同じまたはそれよりも高い絶縁材料から形成された絶縁膜であることが好ましい(請求項2)。また、上記キャパシタは、例えばメモリセルの電荷蓄積用キャパシタであり、かつメモリセルのスイッチングトランジスタ上に形成されているものである(請求項3)。

【0026】また、本発明に係る半導体装置の製造方法(請求項4)は、半導体基板にメモリセルのスイッチングトランジスタを形成する工程と、前記半導体基板上に層間絶縁膜を形成した後、前記スイッチングトランジスタに対してのコンタクトホールを前記層間絶縁膜に開孔する工程と、前記コンタクトホール内に接続電極を形成する工程と、前記接続電極を介して前記スイッチングトランジスタと電気的に接続する第1のキャパシタ電極を形成した後、この第1のキャパシタ電極上に金属酸化物からなるキャパシタ絶縁膜、第2のキャパシタ電極を形

成して、前記メモリセルのキャパシタを形成する工程と、前記第2のキャパシタ電極上に水素浸透防止膜を形成する工程と、水素雰囲気中での熱処理により、前記スイッチングトランジスタに生じたダメージを回復させる工程とを有することを特徴とする。

【0027】また、本発明のより具体的な構成は以下の通りである。キャパシタ絶縁膜は、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 $\text{Pz}(\text{Zr}, \text{Ti})\text{O}_3$ または $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を主構成材料とする絶縁膜である。

【0028】第2のキャパシタ電極は、 Ru 、 Pt 、 Ir 、 Rh 、 Pd または Os を主構成材料とする導電膜である。水素浸透防止膜は、 TiN_x 、 TiSi_xN_y 、 WSi_xN_y 、金属シリサイドまたは窒化シリコン（例えば Si_3N_4 ）を主構成材料とする導電膜または絶縁膜である。

【0029】〔作用〕本発明によれば、金属酸化物からなるキャパシタ絶縁膜上に、第2のキャパシタ電極を介して、水素浸透防止膜が設けられているので、水素が第2のキャパシタ電極を拡散してキャパシタ絶縁膜に達することを防止することができる。

【0030】したがって、金属酸化物が水素により還元されることによるキャパシタ絶縁膜の膜質の劣化を防止することができる。このような水素還元が生じる場合としては、例えば本発明（請求項4）の場合のように、メモリセルのスイッチングトランジスタのプロセスダメージを回復するための水素雰囲気中での熱処理（水素アニール）があげられる。

【0031】なお、水素浸透防止膜は、水素の浸透を完全に防止するものである必要なく、キャパシタ絶縁膜の膜質の劣化を実用上問題がない程度に抑制できれば良い。その理由は、水素の浸透が完全に防止されると、キャパシタ下にメモリセルのトランジスタが存在するときには、トランジスタのプロセスダメージの回復を水素アニールにより行なえなくなるからである。

【0032】また、水素浸透防止膜としては、第2のキャパシタ電極よりも水素の拡散の小さい膜、それ自体が還元されることによって活性な水素を除去し得る膜、またはこれらの膜の両方の性質を有する膜を使用することが有効であることを見いだした。

【0033】ここで、2番目にあげた膜としては、キャパシタ絶縁膜と同等またはそれよりも還元され易い膜、言い換えればキャパシタ絶縁膜と同等またはそれよりも酸素親和性の高い膜を用いることが有効である。また、水素浸透防止膜の材料としては、用途に応じて導電性および絶縁性のいずれの材料も用いることができる。

【0034】また、水素浸透防止膜を用いるだけでなく、上述の如く、キャパシタ電極としての Ru 膜等の金属膜を高温、望ましくは 300°C 以上の成膜温度で形成して金属膜の結晶性を向上させれば、キャパシタ絶縁膜の膜質の劣化をより効果的に防止できるようになる。

【0035】水素浸透防止膜の構成材料のうち導電性のものとしては、 TiN_x 、 TiSi_x 等の金属シリサイド、さらには TiSi_xN_y 等の窒素を含む金属シリサイドがあげられる。

【0036】これらの材料は、それ自体が水素の浸透によって脆性を示さないことが必要である点と、水素の拡散が容易に生じることは好ましくないという点に配慮して選んだものである。

【0037】また、水素浸透防止膜の構成材料のうち絶縁性のものとしては、 Si_3N_4 、 BST 、 PZT 、 Ta_2O_5 、 TiO_2 等の金属酸化物があげられる。以下、これらの水素浸透防止膜の構成材料に関して、その作用効果および適用に関する望ましい条件または範囲について述べる。

【0038】まず、一般に、導電性材料の場合にはそれ自体電極の一部として機能する利点がある。また、 TiN_x は、 Ti 格子間に窒素原子が入り込んでいる構造を有するため、水素の浸透・吸蔵は起こり難い。

【0039】ここで、成膜後に熱処理を行なわない場合には、比較的水素の拡散は生じやすいが、脆性の増大が生じることは無く、成膜・加工の容易性を考慮すれば、実際のプロセスにおいて最も有効に用いることのできる材料である。

【0040】さらに、一旦高温でのアニールを施すことによって前述の水素拡散の点についても大幅な改善が可能である。このアニールは、 500°C 以上の温度で、不活性ガス中もしくは微量の酸素を含むガス中または窒化性ガス中でなされることが望ましい。

【0041】また、 TiSi_x 等の金属シリサイドも、 TiN_x の場合とほぼ同様の効果が期待される。また、 TiSi_xN_y 等の窒素を含む金属シリサイドは、通常高温処理を行なわない限りアモルファス状態を維持しているため、材料中に結晶粒界が無い。このため、水素の拡散は極めて遅くなり、水素の浸透抑制効果は極めて高いものとなる。

【0042】しかし、実際の LSI においては、水素アニールの際に、キャパシタ下の MOS トランジスタ等のトランジスタに供給される水素の量が不十分になり、水素アニールによるトランジスタ特性の改善の効果が小さくなる問題がある。

【0043】したがって、窒素を含む金属シリサイドからなる膜を用いる場合には、その膜厚は薄いことが必要となる。好ましい膜厚値は 50 nm 以下である。一方、酸化膜などの絶縁膜の場合でも、水素の拡散を制御することができ、また酸化膜の場合にはそれ自体が水素に還元されることによって、過剰な水素を酸化膜で消費することができる。

【0044】前者の点ではシリコン窒化膜が最も優れるが、上述の TiSi_xN_y 等の窒素を含む金属シリサイドからなる膜の場合と同様の理由で薄膜で用いることが

求められる。後者の点では、BST膜、PZT膜、 Ta_2O_5 膜、 TiO_2 膜等のそれ自体キャパシタ絶縁膜となり得る金属酸化物からなる絶縁膜があげられる。

【0045】また、キャパシタ電極となる導電膜を形成し、その上に水素浸透防止膜となる導電膜または絶縁膜を形成した後、その上にフォトリソグラフィによりフォトレジストパターンを形成し、このフォトレジストパターンをマスクにして、キャパシタ電極となる導電膜、および水素浸透防止膜となる導電膜または絶縁膜を連続的にエッチングすることにより、工程数の増加を最小限にとどめることが可能となる。

【0046】また、キャパシタ電極として、RIEでの加工が容易ではないPt膜等の金属膜や、フォトレジストがエッチングされてしまう酸素を含む反応性ガスを用いたRIEで加工する必要があるRu膜等の金属膜を用いる場合には、フォトレジストパターンのパターンを別の膜に転写し、この別の膜をマスクにしてPt膜やRu膜をRIEで加工すれば良い。ここで、別の膜として水素浸透防止膜を用いれば、工程数の増加をほとんど招くことなく、Pt膜やRu膜の金属膜をRIEで加工することが可能となる。

【0047】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）図1は、本発明の第1の実施形態に係るDRAMのメモリセルの形成方法を示す工程断面図である。このDRAMは、メモリセルのキャパシタをワード線、ビット線およびメモリセルのMOSトランジスタよりも上に配置するスタック型のものである。

【0048】本実施形態では、キャパシタ絶縁膜として $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜、下部キャパシタ電極および上部キャパシタ電極としてRu膜、水素浸透防止膜として TiN_x 膜をそれぞれ用いた場合について説明する。

【0049】まず、図1(a)に示すように、シリコン基板上101の表面をエッチングして溝を形成した後、この溝を素子分離絶縁膜102で埋め込むことにより素子分離領域を形成する。シリコン基板101は、例えば比抵抗が $10\Omega\text{cm}$ 、主面が(100)面、導電型がp型の単結晶シリコン基板である。

【0050】次に同図(a)に示すように、ゲート絶縁膜103となる厚さ6nmの熱酸化シリコン膜、ゲート電極104となる n^+ 型ポリシリコン膜、ゲート電極105となるWシリサイド膜を順次形成した後、これらの積層膜をフォトリソグラフィ法とRIE法を用いてパターンニングし、ゲート絶縁膜103、ゲート電極104、105を形成する。

【0051】この後、ゲート電極104、105をマスクにしてn型不純物イオンを基板表面に注入する。このイオン注入は後で行なうイオン注入よりも低ドーズ量、低加速度電圧の条件で行なう。

【0052】次に同図(a)に示すように、ゲート側壁絶縁膜106となる酸化シリコン膜をCVD法にて全面に形成した後、この酸化シリコン膜をRIE法にて全面エッチングするといういわゆる側壁残しにより、ゲート部103、104、105の側壁に酸化シリコン膜を残置させることによって、ゲート側壁絶縁膜106を形成する。

【0053】次にゲート部103、104、105およびゲート側壁絶縁膜106をマスクにしてn型不純物イオンを基板表面に注入する。この後、アニールを行なって先のイオン注入および本イオン注入にて基板表面に注入されたn型不純物イオンを活性化して、LDD構造のn型ソース拡散層107、n型ドレイン拡散層108を形成して、メモリセルのスイッチングトランジスタとしてのnチャネルMOSトランジスタが完成する。

【0054】なお、ここでは2つのイオン注入の後にまとめてアニールを行なったが、各イオン注入の工程後にそれぞれアニールを行なっても良い。また、図には簡単のためにLDD構造は省略し、1つの拡散層で示してある。

【0055】次に図1(b)に示すように、酸化シリコンからなる厚さ100nmの層間絶縁膜109をCVD法にて全面に形成した後、フォトリソグラフィ法およびRIE法を用いて、n型ソース拡散層107およびn型ドレイン拡散層108のそれぞれに対するコンタクトホールを層間絶縁膜109に開口する。

【0056】次に同図(b)に示すように、これらのコンタクトホール内にそれぞれプラグ電極110、111を埋め込み形成する。具体的には、コンタクトホール内を完全に充填するように全面にプラグ電極110、111となる n^+ 型ポリシリコン膜を形成した後、コンタクトホール外の不要な n^+ 型ポリシリコン膜をCMP (Chemical Mechanical Polishing)法またはエッチバック法を用いて除去することにより、プラグ電極110、111を形成する。

【0057】次に同図(b)に示すように、バリアメタルとしてのTiシリサイド膜112となるTi膜を全面に形成した後、熱処理によりTi膜とプラグ電極(n^+ 型ポリシリコン膜)110、111とを反応させて、プラグ電極110、111の表面にTiシリサイド膜112を形成する。この後、未反応のTi膜およびコンタクトホール外の不要なTiシリサイド膜を除去する。

【0058】次に同図(b)に示すように、ビット線113となるW膜を全面に形成した後、このW膜をフォトリソグラフィ法およびRIE法を用いてパターンニングすることにより、ビット線113を形成する。なお、プラグ電極110とビット線113をデュアルダマシンプロセスで形成しても良い。この場合には、RIE法の代わりにCMP法を用いる。

【0059】次に同図(b)に示すように、酸化シリコ

ンからなる厚さ150nm程度の層間絶縁膜114をCVD法にて全面に形成し、その表面を平坦化した後、プラグ電極110に対するビアホールを層間絶縁膜114に開口する。なお、プラグ電極110とビット線113をデュアルダマシンプロセスで形成する場合には、層間絶縁膜114は2層となる。

【0060】次に図1(b)に示すように、ビアホール内にプラグ電極110と接続する n^+ 型ポリシリコン膜からなるプラグ電極115を形成する。このプラグ電極115の形成方法は、プラグ電極110、11のそれに準じる。

【0061】次に図1(c)に示すように、下部キャパシタ電極116となる厚さ200nmのRu膜を全面に形成した後、このRu膜をフォトリソグラフィ法およびRIE法を用いてパターニングし、下部キャパシタ電極116を形成する。

【0062】次に図1(d)に示すように、キャパシタ絶縁膜117となる厚さ20nmの(Ba, Sr)TiO₃膜をCVD法にて全面に形成する。なお、下部キャパシタ電極116のアスペクト比が高くない場合には、(Ba, Sr)TiO₃膜の成膜はスパッタ法によって行なうことも可能である。

【0063】次に図1(d)に示すように、上部キャパシタ電極(プレート電極)118となる厚さ50nm程度のRu膜をスパッタ法またはCVD法にて全面に形成した後、その上にTiN_x膜119をスパッタ法またはCVD法にて形成する。TiN_x膜119は、Ti格子間にN原子が入り込んでいる構造を有するため、水素浸透防止膜として働く。

【0064】ここで、Ru膜のグレインサイズを大きくして、Ru膜における水素の拡散を抑制するためには、Ru膜の成膜は好ましくは300℃以上の成膜温度で行なうか、またはRu膜の成膜後に500℃程度の温度で一旦アニールを行なうことが望ましい。

【0065】この後、まず、図示しないフォトレジストパターンを形成し、このフォトレジストパターンをマスクにしてTiN_x膜119をRIE法にてエッチングすることにより、TiN_x膜119に上記フォトレジストパターンのパターンを転写する。

【0066】最後に、上記フォトレジストパターンを剥離した後、TiN_x膜119をマスクにしてその下のRu膜、(Ba, Sr)TiO₃膜をRIE法にてエッチングすることにより、Ru膜からなる上部キャパシタ電極118、(Ba, Sr)TiO₃膜からなるキャパシタ絶縁膜117が形成され、図1(d)に示すキャパシタが完成する。

【0067】この後、通常の方法によって層間絶縁膜の形成工程、Al配線工程、水素アニールによるMOSTランジスタのプロセスダメージの回復工程等を行なってDRAMが完成する。

【0068】ここで、Ru膜のエッチングガスにはCF₄とO₂の混合ガス等の酸素を含む反応性ガスが用いられる。この種の反応性ガスはフォトレジストもエッチングしてしまう。このため、Ru膜をRIE法にてエッチングする場合には、フォトレジストパターン(第1のマスクパターン)のパターンを他のエッチングされない膜に転写し、このフォトレジストパターンのパターンが転写された膜(第2のマスクパターン)をマスクに用いなければならない。このため、Ru膜のパターニングは通常の膜のパターニングよりも工程数が多くなる。

【0069】一方、本実施形態のキャパシタはTiN_x膜119が存在する分だけ、通常のRu膜を用いたキャパシタよりも工程数が増える。しかし、本実施形態の場合、TiN_x膜119が上述した第2のマスクパターンの役割も兼ねるので、第2のマスクパターンを別途形成する必要はない。したがって、TiN_x膜119が存在しても、工程数の増加はほとんどない。

【0070】また、本実施形態によれば、金属酸化物である(Ba, Sr)TiO₃からなるキャパシタ絶縁膜117上に、上部キャパシタ電極118を介して、水素浸透防止膜として働くTiN_x膜119が設けられているので、上記水素アニールの工程の際に、水素が上部キャパシタ電極118を拡散してキャパシタ絶縁膜117に達することを防止することができる。

【0071】したがって、水素により(Ba, Sr)TiO₃が還元されたり、(Ba, Sr)TiO₃に酸素欠損が生じたりすることによるキャパシタ絶縁膜117の膜質の劣化を防止することができる。

【0072】なお、TiN_x膜119は、水素の浸透を完全に防止するものである必要なく、キャパシタ絶縁膜117の膜質の劣化を実用上問題がない程度に抑制できれば良い。その理由は、水素の浸透が完全に防止されると、メモリのスイッチングトランジスタであるMOSTランジスタのプロセスダメージを水素アニールにより回復させることが不可能となるからである。

【0073】ここで、MOSTランジスタのプロセスダメージとしては、主としてプラズマ照射に起因するものがあげられる。プラズマ照射は、例えばRIE法を用いたゲート電極の形成工程、MOSTランジスタの形成後のプラズマCVD法を用いた層間絶縁膜の形成工程、RIE法を用いた金属配線の形成工程で生じる。また、プロセスダメージはプラズマ自身(イオン、電子)によるものだけではなく、プラズマ生成に伴って生じる紫外線やX線の照射によっても生じる。

【0074】なお、本実施形態では、キャパシタ絶縁膜として(Ba, Sr)TiO₃膜、キャパシタ電極としてRu膜を、水素浸透防止膜としてTiN_x膜をそれぞれ用いているが、これらに限定されずに他の膜を用いることも可能である。

【0075】例えば、(Ba, Sr)TiO₃膜の代わ

りに、 Ta_2O_5 膜等を用いても良い。また、Ru膜の代わりに、例えばPt、Ir、Pd、Os、Rh等の貴金属類を用いて良い。

【0076】また、 TiN_x 膜の代わりに、例えば $TiSi_xN_y$ 膜、 WSi_xN_y 膜等の窒素を含む金属シリサイド膜、または $TiSi_x$ 膜、 WSi_x 膜等の通常の金属シリサイド膜を用いても良い。

(第2の実施形態) 図2は、本発明の第2の実施形態に係るDRAMのメモリセルの形成方法を示す工程断面図である。本実施形態が第1の実施形態と主として異なる点は、キャパシタの形状とそれに伴うプロセスの変更である。

【0077】まず、図2(a)に示すように、シリコン基板201の表面に素子分離絶縁膜202を埋め込み形成し、続いてゲート絶縁膜203、ゲート電極204、205、ゲート側壁絶縁膜206、ソース拡散層207、ドレイン拡散層208を形成し、メモリセルのスイッチングトランジスタであるMOSトランジスタを完成させる。

【0078】次に同図(a)に示すように、層間絶縁膜209、プラグ電極210、211、 Ti シリサイド膜212、ビット線213、層間絶縁膜214、プラグ電極215を形成する。

【0079】ここまでの工程は第1の実施形態と同じなのでその詳細は省略する。次に図2(b)に示すように、酸化シリコンからなる厚さ200nm程度の層間絶縁膜216を全面に形成した後、フォトリソグラフィ法およびRIE法を用いてキャパシタ領域の層間絶縁膜216を除去し、開口部217を形成する。その結果、プラグ電極215およびその周囲の層間絶縁膜214が露出する。

【0080】次に図2(c)に示すように、下部キャパシタ電極218となるRu膜をCVD法にて全面に形成する。Ru膜の膜厚は、開口部217が充填されない厚さである。また、成膜ガスとしては、例えばルテニウムジピバロイロメタン等のガスを用いる。

【0081】次に開口部217内に図示しないSOG膜を埋め込み、このSOG膜をマスクにして開口部217外のRu膜をCMP法またはRIE法にて除去する。この結果、開口部217の底面および側面を被覆する下部キャパシタ218が形成される。この後、SOG膜を除去する。

【0082】次に同図(d)に示すように、キャパシタ絶縁膜219となる厚さ20nmの $(Ba, Sr)TiO_3$ 膜、上部キャパシタ電極(プレート電極)220となる厚さ50nm程度のRu膜、水素浸透防止膜としての厚さ20nm程度の $(Ba, Sr)TiO_3$ 膜221をCVD法にて順次全面に形成する。

【0083】この後、まず、図示しないフォトレジストパターンを形成し、このフォトレジストパターンをマ

スクにして $(Ba, Sr)TiO_3$ 膜221をRIE法またはウェットエッチング法にてエッチングすることにより、 $(Ba, Sr)TiO_3$ 膜221に上記フォトレジストパターンのパターンを転写する。

【0084】最後に、上記フォトレジストパターンを剥離した後、 $(Ba, Sr)TiO_3$ 膜221をマスクにしてその下のRu膜、 $(Ba, Sr)TiO_3$ 膜をRIE法にてエッチングすることにより、Ru膜からなる上部キャパシタ電極220、 $(Ba, Sr)TiO_3$ 膜からなるキャパシタ絶縁膜219が形成され、図2(c)に示すキャパシタが完成する。

【0085】この後、通常の方法によって層間絶縁膜の形成工程、Al配線工程、水素アニールによるMOSトランジスタのプロセスダメージの回復工程等を行なってDRAMが完成する。

【0086】本実施形態のキャパシタは、 $(Ba, Sr)TiO_3$ 膜221が存在する分だけ、通常のキャパシタよりも工程数が増えるが、第1の実施形態と同様の理由により、工程数の増加はほとんど生じない。

【0087】また、本実施形態によれば、第1の実施形態と同様に、 $(Ba, Sr)TiO_3$ 膜211により、水素によるキャパシタ絶縁膜219の膜質の劣化を防止できるようになる。

【0088】なお、本実施形態では、キャパシタ絶縁膜として $(Ba, Sr)TiO_3$ 膜、キャパシタ電極としてRu膜をそれぞれ用いているが、これらに限定されずに第1の実施形態で述べた他の膜を用いることができる。

【0089】また、本実施形態では、水素浸透防止膜としては $(Ba, Sr)TiO_3$ を用いているが、それ以外に $PbTiO_3$ 膜、PZT膜、 $SrTiO_3$ 膜、 Bi_2O_3 、 Ta_2O_5 膜をはじめとして $(Ba, Sr)TiO_3$ 膜と同等かそれよりも還元されやすい酸化膜、言い換えれば $(Ba, Sr)TiO_3$ 膜と同等またはそれよりも酸素親和性の高い膜を用いることができる。

(第3の実施形態) 図3は、本発明の第3の実施形態に係るFRAMのメモリセルの形成方法を示す工程断面図である。このFRAMは、メモリセルのキャパシタをビット線よりも上に配置するタイプのものである。

【0090】本実施形態では、キャパシタ絶縁膜として強誘電体である $Pb(Zr, Ti)O_3$ 膜、下部キャパシタ電極および上部キャパシタ電極としてPt膜、水素浸透防止膜として $TiSi_xN_y$ 膜をそれぞれ用いた場合について説明する。

【0091】まず、図3(a)に示すように、シリコン基板301の表面に素子分離絶縁膜302を埋め込み形成し、続いてゲート絶縁膜303、ゲート電極304、305、ゲート側壁絶縁膜306、ソース拡散層307、ドレイン拡散層308を形成し、メモリセルのスイッチングトランジスタであるMOSトランジスタを完成

させる。

【0092】次に同図(a)に示すように、層間絶縁膜309、プラグ電極310、311、Tiシリサイド膜312、ビット線313、層間絶縁膜314、プラグ電極315を形成する。

【0093】ここまでの工程は第1の実施形態と同じなのでその詳細は省略する。ただし、プラグ電極315にW膜を用いる点は異なっている。次に図3(b)に示すように、下部キャパシタ電極316となる厚さ150nmのPt膜を全面に形成した後、このPt膜をフォトリソグラフィ法およびRIE法にてパターンニングし、下部キャパシタ電極316を形成する。

【0094】次に図3(c)に示すように、キャパシタ絶縁膜317となる厚さ200nmのPb(Zr, Ti)O₃膜、上部キャパシタ電極(ドライブ線)となる厚さ100nm程度のPt膜、厚さ300nm程度、好ましくは50nm以下の薄いTiSi_xN_y膜319をスパッタ法にて順次全面に形成する。TiSi_xN_y膜319は、通常高温処理を行わない限りアモルファス状態を維持しているために膜中に結晶粒界が無いので、水素の拡散が極めて遅く、優れた水素浸透防止膜として働く。

【0095】なお、キャパシタ電極が平面構造である場合には、Pb(Zr, Ti)O₃膜を塗布法にて形成することも可能である。この後、まず、図示しないフォトレジストパターンを形成し、このフォトレジストパターンをマスクにしてTiSi_xN_y膜319をRIE法にてエッチングすることにより、TiSi_xN_y膜319に上記フォトレジストパターンのパターンを転写する。

【0096】最後に、上記フォトレジストパターンを剥離した後、TiSi_xN_y膜319をマスクにしてその下のPt膜、Pb(Zr, Ti)O₃膜をRIE法にてエッチングすることにより、Pt膜からなる上部キャパシタ電極318、Pb(Zr, Ti)O₃膜からなるキャパシタ絶縁膜317が形成され、図3(c)に示すキャパシタが完成する。

【0097】この後、通常の方法によって層間絶縁膜の形成工程、Al配線工程、水素アニールによるMOSTランジスタのプロセスダメージの回復工程等を行なってFRAMが完成する。

【0098】本実施形態によれば、金属酸化物であるPb(Zr, Ti)O₃からなるキャパシタ絶縁膜317上に、上部キャパシタ電極318を介して、水素浸透防止膜として働くTiSi_xN_y膜319が設けられているので、上記水素アニールの工程の際に、水素が上部キャパシタ電極318を拡散してキャパシタ絶縁膜317に達することを防止することができる。

【0099】したがって、水素によりPb(Zr, Ti)O₃が還元されたり、Pb(Zr, Ti)O₃に酸素欠損が生じたりすることによるキャパシタ絶縁膜31

7の膜質の劣化を防止することができる。なお、TiSi_xN_y膜319は、第1の実施形態のTiN_x膜119と同じ理由で、水素の浸透を完全に防止するものである必要ない。

【0100】なお、本実施形態では、キャパシタ絶縁膜としてPb(Zr, Ti)O₃膜、キャパシタ電極としてPt膜、水素浸透防止膜としてTiSi_xN_y膜をそれぞれ用いているが、これらに限定されずに他の膜を用いることも可能である。

【0101】例えば、Pb(Zr, Ti)O₃膜の代わりに、SrBi₂Ta₂O₅膜等を用いても良い。また、Pt膜の代わりに、Ir、Os、Rh、Ru等の貴金属類を用いても良い。

【0102】また、TiSi_xN_y膜の代わりに、TiSi_xN_y膜、WSi_xN_y膜、TiSi_x膜、WSi_x膜等の導電膜である金属シリサイド膜を用いても良い。さらに、導電膜以外にも、例えばPbTiO₃膜、Pb(Zr, Ti)O₃膜、Bi₂O₃膜、Ta₂O₅膜膜をはじめとして(Ba, Sr)TiO₃膜と同等かそれよりも還元されやすい(酸素親和性の高い)酸化膜を用いても良い。

【0103】なお、本発明は上述した実施形態に限定されるものではない。例えば、上記実施形態では、DRAMやFRAMのメモリセルのキャパシタの場合について説明したが、本発明は他のデバイスのキャパシタにも適用することが可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0104】

【発明の効果】以上詳述したように本発明によれば、水素浸透防止膜により、水素が第2のキャパシタ電極を拡散して金属酸化物からなるキャパシタ絶縁膜に達することを防止することができるので、キャパシタ絶縁膜の膜質の劣化を防止することができるようになる

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るDRAMのメモリセルの形成方法を示す工程断面図

【図2】本発明の第2の実施形態に係るDRAMのメモリセルの形成方法を示す工程断面図

【図3】本発明の第3の実施形態に係るFRAMのメモリセルの形成方法を示す工程断面図

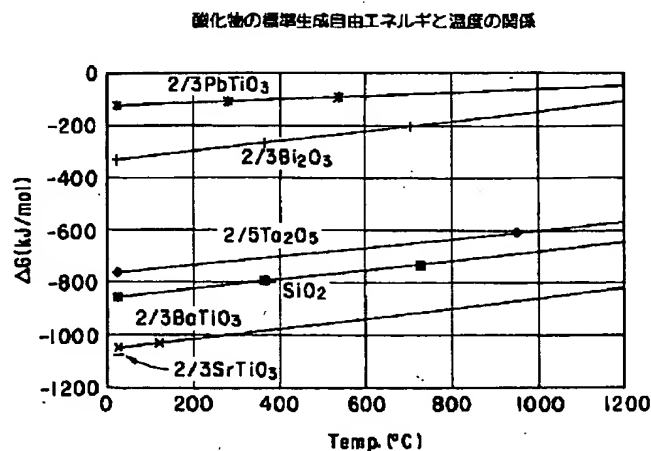
【図4】代表的な金属酸化物の標準生成自由エネルギーと温度の関係を示す図

【符号の説明】

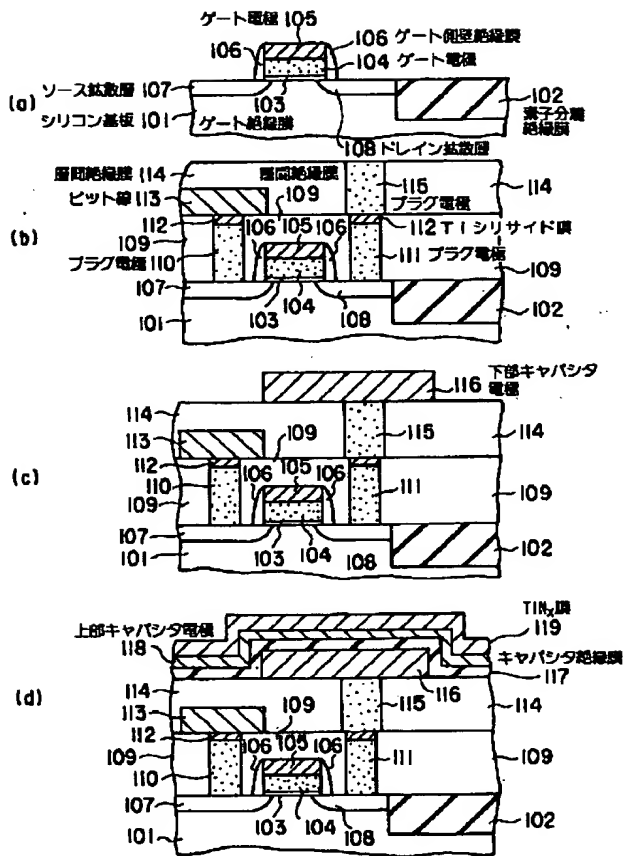
- 101…シリコン基板
- 102…素子分離絶縁膜
- 103…ゲート絶縁膜
- 104…ゲート電極(n⁺型ポリシリコン膜)
- 105…ゲート電極(Wシリサイド膜)
- 106…ゲート側壁絶縁膜
- 107…ソース拡散層

- 108...ドレイン拡散層
 109...層間絶縁膜
 110...プラグ電極 (n^+ 型ポリシリコン膜)
 111...プラグ電極 (n^+ 型ポリシリコン膜; 接続電極)
 112...Tiシリサイド膜
 113...ビット線
 114...層間絶縁膜
 115...プラグ電極 (n^+ 型ポリシリコン膜)
 116...下部キャパシタ電極 (Ru膜; 第1のキャパシタ電極)
 117...キャパシタ絶縁膜 ($(Ba, Sr)TiO_3$ 膜)
 118...上部キャパシタ電極 (Ru膜; 第2のキャパシタ電極)
 119... TiN_x 膜 (水素透過抑制膜)
 201...シリコン基板
 202...素子分離絶縁膜
 203...ゲート絶縁膜
 204...ゲート電極 (n^+ 型ポリシリコン膜)
 205...ゲート電極 (Wシリサイド膜)
 206...ゲート側壁絶縁膜
 207...ソース拡散層
 208...ドレイン拡散層
 209...層間絶縁膜
 210...プラグ電極 (n^+ 型ポリシリコン膜)
 211...プラグ電極 (n^+ 型ポリシリコン膜; 接続電極)
 212...Tiシリサイド膜
 213...ビット線
 214...層間絶縁膜
 215...プラグ電極 (n^+ 型ポリシリコン膜)
 216...層間絶縁膜
 217...開口部
 218...下部キャパシタ電極 (Ru膜; 第1のキャパシタ電極)
 219...キャパシタ絶縁膜 ($(Ba, Sr)TiO_3$ 膜)
 220...上部キャパシタ電極 (Ru膜; 第2のキャパシタ電極)
 211... $(Ba, Sr)TiO_3$ 膜 (水素透過抑制膜)
 301...シリコン基板
 302...素子分離絶縁膜
 303...ゲート絶縁膜
 304...ゲート電極 (n^+ 型ポリシリコン膜)
 305...ゲート電極 (Wシリサイド膜)
 306...ゲート側壁絶縁膜
 307...ソース拡散層
 308...ドレイン拡散層
 309...層間絶縁膜
 310...プラグ電極 (n^+ 型ポリシリコン膜)
 311...プラグ電極 (n^+ 型ポリシリコン膜; 接続電極)
 312...Tiシリサイド膜
 313...ビット線
 314...層間絶縁膜
 315...プラグ電極 (W膜)
 316...下部キャパシタ電極 (Pt膜; 第1のキャパシタ電極)
 317...キャパシタ絶縁膜 ($Pb(Zr, Ti)O_3$ 膜)
 318...上部キャパシタ電極 (Pt膜; 第2のキャパシタ電極)
 319... $TiSi_xN_y$ 膜 (水素透過抑制膜)

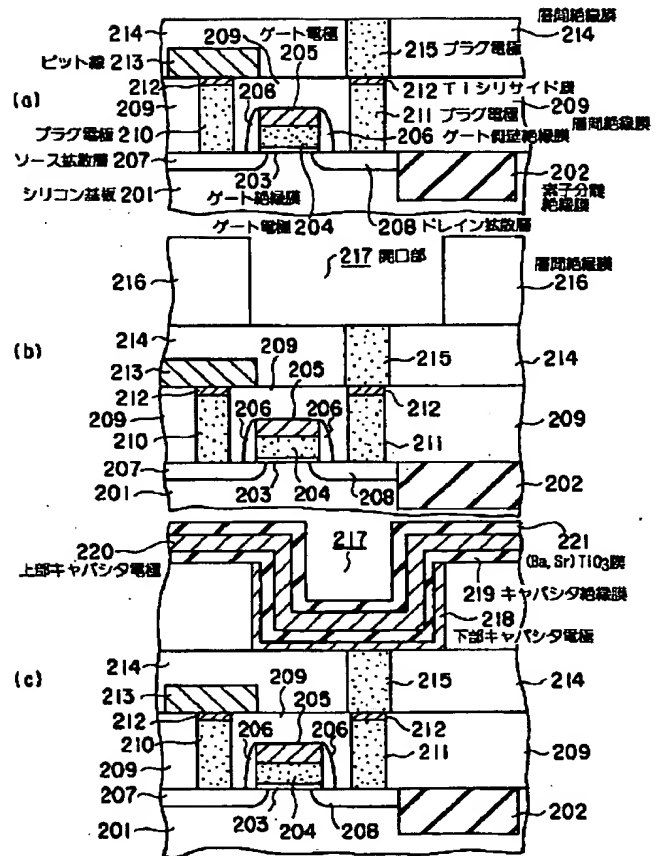
【図4】



【図1】



【図2】



【図3】

